

Jaak Kõusaar. Osalemine konverentsil „17th EUROMICRO Conference on Digital System Design (DSD) 2014“ suulise ettekandega.

Kokkuvõtlik tutvustus teadusartiklile “Critical Path Tracing based Simulation of Transition Delay Faults”.

1. Sissejuhatus

Tänapäeva digitaaltehnikate arengu läbivaks tendentsiks on üha vähenevad mõõtmed ning üha kasvavad nõuded digitaalsüsteemide veakindluse osas. Komponentide dimensiooni vähenemine aga tingib potentsiaalselt erinevat tüüpi rikete (peamiselt just viiterikete) arvu kasvu, mistõttu testimise ja diagnostika roll digitaalsüsteemide töö- ning veakindluse tagajana samuti pidevalt kasvab. Et skeemide suurus loogikaelementide arvu mõttes kasvab tänapäeval kiirenevas tempos, on üheks diagnostika eelduseks vastavate algoritmide järjepidev täiendamine, muutes neid efektiivsemaks.

Teiseks läbivaks probleemiks algoritmide efektiivsuse kõrval, on rikkemudelite paljus, mis veelgi suureneb tehnoloogia skaleerumisega miniatuursemaks, sest võivad ilmnedas senisest erinevad rikketüübid.

Atriklis, mille sisu käesolev tekst tutvustab, käsitletakse uuel meetodikal põhinevat, senistest kiiremat ning skaleeruvat algoritmi ning sellel baseeruva tarkvaraga saadud tulemusi.

2. Ülevaade algoritmist

Loodud algoritmi keskmeks on 7-värtuseline algebra, mis lisab täiendava abstraktsioonikihi erinevate viiterikete mudelitele, vähendades sellega viiterikete diagnostika keerukust. Täpsemalt kasutatakse kombinatsiooni kahest ammu tuntud mudelist [1,2], kriitilistel signaaliteedel põhinevast viiterikete mudelist ning siiretel põhinevast viiterikete mudelist. Selline kombineerimine võimaldab kasutada parimaid omadusi mõlemast mudelist, jättes kõrvale mudelite probleemsed aspektid.

7-väärtuselise algebra kasutamise eelduseks on rikete avastamise tüüpide klassifitseerimine ning prioritseerimine, samuti on antud töö tulemusena lisatud täiesti uus rikete avastamise tüüp, mis muudab mudeli täielikuks ning võimaldab viiterikete avastamisel senisest kõrgemat katet.

3. Meetodi realisatsioon ning eksperimentaalsed tulemused

7-väärtuselisel algebra põhjal on antud töö käigus välja töötatud ka meetod viiterikete avastamiseks (ning testvektorite genereerimiseks) loogikaelementide tasemel

7-väärtuselisel algebral põhinevat meetodit realiseeriv tarkvara on kirjutatud keeles C++ ning arendatud ja modelleeritud arenduskeskkonnaga MS Visual Studio 2012. Eksperimentaalsete tulemuste võrdlused on loodud ISCAS '85 kombinatsiooniskeemidega eksperimenteerides, kasutades aegade võrdlusena sarnastel platvormidel saadud tulemusi.

Rea eksperimentide tulemusena on näidatud meetodi võimekus ja skaleeruvus skeemide loogikaelementide arvu suurenemisel. Meetod kasutab testide genereerimise baasrakendusena, artikli kaasautorite poolt loodud meetodil põhinevat [3], mis on eksperimentaalsete tulemuste põhjal 2-5 korda kiirem hetkel elektroonikatööstuses kasutatavatest. Antud töö tulemusena valminud meetod omakorda on kiirem kui mainitud konstantrikete avastamise meetod ning kiiruste vahe on seda suurem, mida keerukama skeemiga testida. See demonstreerib ilmekalt loodud meetodi potentsiaali.

Viited

- [1] I. Pomerantz, M. Reddy, "Transition path delay faults: a new path delay fault model for small and large delay defects," *IEEE Trans. On VLSI Systems*, Vol.16, No.1, 2008, pp. 98-107.
- [2] I. Pomerantz, "Generation of mixed test sets for transition faults," *IEEE Trans. On VLSI Systems*, Vol.20, No.10, 2012, pp. 1895-1899.
- [3] R.Ubar, S.Devadze, J.Raik, A.Jutman. Parallel X-Fault Simulation with Critical Path Tracing Technique. *IEEE Conf. Design, Automation & Test in Europe - DATE-2010*, Dresden, Germany, March 8-12, 2010, pp. 1-6.